

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-77497

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.<sup>8</sup>

識別記号 廈内整理番号

F I

技術表示箇所

H 01 L 29/788

29/792

27/115

8728-4M

H 01 L 29/78 371

27/10 434

審査請求 未請求 請求項の数4(全5頁)

(21)出願番号 特願平4-228471

(22)出願日 平成4年(1992)8月27日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 有馬 純一

伊丹市瑞原4丁目1番地 三菱電機株式会  
社北伊丹製作所内

(72)発明者 中島 盛義

伊丹市瑞原4丁目1番地 三菱電機株式会  
社北伊丹製作所内

(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 層間絶縁膜9を平坦化する際にゲート電極への酸化剤の進入を防止し、ゲートバースピークを極力小さくすることを目的とする。

【構成】 半導体装置の製造方法は、ゲート電極形成後にランプアニール法により空化膜15でゲート電極を覆う様に形成する。

【効果】 EEPROM消去時のファウラー・ノルドハイム・トンネル電流が容易に流れ、効率の良い消去特性が得られる。

1:半導体基板

2:第一ゲート酸化膜

3:浮遊ゲート電極

4:インターポーラ絶縁膜

5:制御ゲート電極

6:ドレイン不純物散逸層

7:ソース不純物散逸層

8:層間酸化膜

9:層間絶縁膜

10:ドレイン側ゲート・バースピーク酸化膜

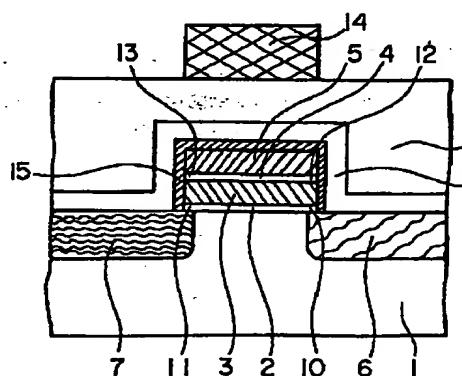
11:ソース側ゲート・バースピーク酸化膜

12:ドレイン側インター・ポリ・バースピーク

13:ソース側インター・ポリ・バースピーク

14:金属配線層

15:ランプアニール空化膜



## 【特許請求の範囲】

【請求項1】 ソースとドレインの不純物拡散層を有する半導体装置において、ゲート電極全体にランプアニール法により形成し、半導体基板及びゲート電極に酸化剤の侵入を防止する窒化膜を備えたことを特徴とする半導体装置。

【請求項2】 ソースとドレインの不純物拡散層を有する半導体装置の製造方法において、半導体基板及びゲート電極に酸化剤の侵入を防止するように、ゲート電極全体にランプアニール法により窒化膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項3】 ソースとドレインの不純物拡散層を有する半導体装置の製造方法において、ゲート電極全体に熱酸化膜を形成する工程、及びその上にランプアニール法により窒化膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項4】 ソースとドレインの不純物拡散層を有する半導体装置の製造方法において、ゲート電極全体に薄い酸化膜及び窒化膜をランプアニール法で形成する工程を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、ソースとドレインを有するMOS型の半導体装置に関し、また、ソースとドレイン近傍のゲート・バーズ・ピークの構造の改良を行う為にランプアニール窒化膜を用いた半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】図4は、例えば従来の不揮発性メモリ半導体装置であるEEPROMを示す断面図である。同図において、1は半導体基板、2は第一ゲート酸化膜、3は浮遊ゲート電極、4はインターポリ絶縁膜、5は制御ゲート電極、6はドレイン不純物拡散層、7はソース不純物拡散層、8は層間熱酸化膜、9は層間絶縁膜、10はドレイン側ゲートバーズピーク酸化膜、11はソース側ゲートバーズピーク酸化膜、12はドレイン側インターポリバーズピーク、13はソース側インターポリバーズピーク、14は金属配線層である。

【0003】第一ゲート酸化膜2、浮遊ゲート電極3、インターポリ絶縁膜4、制御ゲート電極5、およびドレイン不純物拡散層6、ソース不純物拡散層7により二層ゲート型の不揮発性メモリ半導体装置であるEEPROMの基本要素が構成される。

【0004】半導体装置として電気配線を行うための金属配線層14が設けられる。この金属配線層14が浮遊ゲート電極3や、制御ゲート電極5と電気的に接触しないようにするために層間絶縁膜9が用いられるが、層間絶縁膜9の平坦性を向上し金属配線層14の加工性をあげるために層間絶縁膜9にはボロンやリンなどの不純物が含まれる。該層間絶縁膜9のボロンやリン等の不純物

が半導体基板1や制御ゲート電極5、浮遊ゲート電極3に入り、電気特性を変動させることを防ぐために浮遊ゲート電極3、制御ゲート電極5、ドレイン不純物拡散層6およびソース不純物拡散層7と層間絶縁膜9の間に層間熱酸化膜8が配置される。

【0005】また、層間絶縁膜9の平坦性をさらに向上し、金属配線層14の加工性を向上するために層間絶縁膜9が熱処理によってリフローされるが、このとき熱処理による酸化で層間熱酸化膜8はさらに厚くなり、浮遊ゲート電極3の端部と半導体基板1の間でドレイン不純物拡散層6の側にドレイン側ゲートバーズピーク酸化膜10、ソース不純物拡散層7の側にソース側ゲートバーズピーク酸化膜11が形成され、制御ゲート電極5と浮遊ゲート電極3の端部でドレイン不純物拡散層6側にドレイン側インターポリバーズピーク12、ソース不純物拡散層7側にソース側インターポリバーズピーク13が形成される。

【0006】次に、前述した従来の半導体装置の動作について説明する。図4に示すEEPROMにおいては、20電気的に情報を書き込みまたは消去する「書き込み消去モード」と、情報を読み出す「読みだしモード」がある。

【0007】また、「書き込み消去モード」には、情報を電気的に書き込む「書き込みモード」と、電気的に消去する「消去モード」がある。

【0008】「消去モード」は、例えばソース不純物拡散層7からなるソース電極をフローティング状態にし、制御ゲート電極5を接地状態でドレイン不純物拡散層6からなるドレイン電極に例えば12V程度の高電圧を掛けることにより、ソース不純物拡散層7近傍の浮遊ゲート電極3端部下にあるソース側ゲートバーズピーク酸化膜11を介してソース不純物拡散層7から浮遊ゲート電極3へ流れるファウラー・ノルドハイム・トンネル電流を用いて、浮遊ゲート電極3の電子を引きぬいて行われる。

【0009】また、「読みだしモード」は、ソース不純物拡散層7からなるソース電極を接地状態にし、ドレイン不純物拡散層6からなるドレイン電極に例えば1V、制御ゲート電極5に例えば3V程度の電圧を掛けて、ド40レイン不純物拡散層6からソース不純物拡散層7に電流が流れるか否かにより「1」、「0」の状態を判断して読み出しを行う。浮遊ゲート電極3に電子があればドレイン不純物拡散層6からソース不純物拡散層7に電流が流れず書き込み状態が読み出され、逆に浮遊ゲート電極3から電子が引き抜かれておけばドレイン不純物拡散層6からソース不純物拡散層7に電流が流れることにより消去状態が読み出される。

## 【0010】

【発明が解決しようとする課題】上述したような従来の半導体装置では、以上のように構成されているので層間

絶縁膜9の平坦性を向上すべく熱処理を行うと熱処理による酸化剤が層間絶縁膜9及び層間熱酸化膜8を貫通して半導体基板1、制御ゲート電極5の表面および端部さらに浮遊ゲート電極3の端部を酸化する。このため層間熱酸化膜8は厚くなりソース側及びドレイン側ゲートバーズピーク酸化膜11、10が厚くなるという問題点があった。特に、ソース側ゲートバーズピーク酸化膜11が厚くなると消去時のファウラー・ノルドハイム・トンネル電流が流れにくくなり、消去効率が悪くなるという問題点があった。

【0011】この発明は、上記のような問題点を解消するためになされたもので、層間絶縁膜を平坦化し、微細化できると共に良好な特性と高い信頼性を有した半導体装置およびその製造方法を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、ソースとドレインの不純物拡散層を有する半導体装置において、ゲート電極全体にランプアニール法により形成し、半導体基板及びゲート電極に酸化剤の侵入を防止する窒化膜を備えたものである。

【0013】また、この発明の請求項2に係る半導体装置の製造方法は、ソースとドレインの不純物拡散層を有する半導体装置の製造方法において、半導体基板及びゲート電極に酸化剤の侵入を防止するように、ゲート電極全体にランプアニール法により窒化膜を形成する工程を含むものである。

【0014】また、この発明の請求項3に係る半導体装置の製造方法は、ソースとドレインの不純物拡散層を有する半導体装置の製造方法において、次に掲げる工程を含むものである。

〔1〕 ゲート電極全体に熱酸化膜を形成する工程。

〔2〕 その上にランプアニール法により窒化膜を形成する工程。

【0015】また、この発明の請求項4に係る半導体装置の製造方法は、ソースとドレインの不純物拡散層を有する半導体装置の製造方法において、ゲート電極全体に薄い酸化膜及び窒化膜をランプアニール法で形成する工程を含むものである。

【0016】

【作用】この発明に係る半導体装置においては、ゲート電極全体である、第一ゲート酸化膜、浮遊ゲート電極、インターポリ絶縁膜の端部と該上部の制御ゲート電極をランプ窒化膜で覆う様に設けたため、層間絶縁膜のリフロー時の熱酸化剤がランプアニール窒化膜を貫通せず、半導体基板、浮遊ゲート電極、制御ゲート電極の端部が酸化されない。その結果、ソース側ゲートバーズピークおよびインターポリバーズピークは厚くならない。

【0017】

【実施例】実施例1. 以下、この発明の実施例1について図1を参照しながら説明する。図1は、本発明の実施

例1の断面を示す図であり、例えば、不揮発性メモリ半導体装置であるEEPROMを示す断面図である。図1と図4において、同一の部材については同一の符号を付し詳細な説明は省略する。図1において、15はランプアニール窒化膜である。

【0018】第一ゲート酸化膜2、浮遊ゲート電極3、インターポリ絶縁膜4、制御ゲート電極5およびドレイン不純物拡散層7により、二層ゲート型の不揮発性メモリ半導体装置であるEEPROMの基本要素が構成され、金属配線層14と半導体基板1、浮遊ゲート電極3および制御ゲート電極5が電気的に接觸しないように層間絶縁膜9が設けられている。

【0019】また、層間絶縁膜9中のリンやボロンなどの不純物が半導体基板1、浮遊ゲート電極3及び制御ゲート電極5を覆うように薄い層間熱酸化膜8が形成される。

【0020】そして、層間熱酸化膜8の下部であつて、制御ゲート電極5の表面と端部および浮遊ゲート電極3の端部を覆うようにランプアニール窒化膜15が配置される。該ランプアニール窒化膜15は、層間絶縁膜9のリフロー時の酸化剤の侵入を防ぐため、ゲートバーズピーク酸化膜10、11、およびインターポリバーズピーク酸化膜12、13の成長を押さえる様に形成する。

【0021】ランプアニール窒化膜15は、ランプアニール法で形成される。ランプアニール法は、加熱源がハロゲンランプ又はアークランプの放射光を直接試料に放射し、試料のみを加熱する方法で、短時間に半導体基板1及び浮遊ゲート電極3、制御ゲート電極5の温度を上昇させることができる。

【0022】ランプアニール窒化膜15の形成は、アンモニア雰囲気で800～1200℃の温度で、5秒～300秒程度の処理を行うことにより任意の窒化膜膜厚が得られる。ランプアニール法にて処理を行うことにより、薄く(数nm)均一性の良い安定した窒化膜を得ることができる。

【0023】また、アンモニア雰囲気以外にも窒素でも同様な効果が得られる。処理室の圧力は通常常圧(大気圧)中で行われるが、ガスコンタミの少ない真空中あるいは反応効率が高くなる加圧中での処理を行ってもランプアニール窒化膜の形成は可能である。

【0024】本実施例1ではEEPROMによる二層電極構造の半導体装置を例として示したが、浮遊ゲートを有しない単層電極構造又は上部電極が下部電極に対して一部重なった電極構造の半導体装置でも良い。

【0025】実施例2. なお、上記実施例1ではゲート構造形成後に直接ランプアニール窒化膜15を形成したが、図2に示すように、層間熱酸化膜8を形成後、ランプアニール窒化膜15を形成しても良く、従来はCVD法等により窒化膜を形成する場合があったがランプアニール法を行うことにより、数nmの窒化膜が短時間で均

一良く形成することが可能である。この場合、上記実施例1で示した構造と比較すると直接ゲート電極に窒化膜が形成されない為、トランジスタ特性の信頼性がより安定な半導体装置を得ることができるという効果を奏する。

【0026】実施例3、また、上記実施例2ではランプアニール窒化膜15の下に層間熱酸化膜8を介したゲート電極構造としたが、図3に示すように、ランプアニール窒化膜15の下にランプアニール酸化膜16を形成しても同等の効果が得られる。ランプアニール酸化膜16とランプアニール酸化膜15は、同時に形成する事が可能で熱酸化膜と比べ膜厚を薄く(数nm～数10nm)、安定したものが形成でき、膜厚コントロールも容易である。この時のガス雰囲気は主に酸素ガスである。又、酸素と塩化水素の混合ガスでもかまわない。

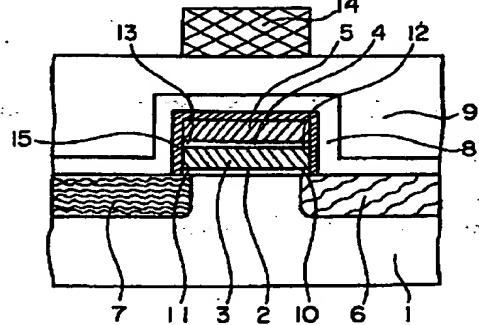
#### 【0027】

【発明の効果】この発明は、以上説明したように、特にソース側ゲートバーズピーク酸化膜を薄く形成するためにEEPROM消去時のファウラー・ノルドハイム・トンネル電流が容易に流れ効率の良い消去特性を得ることができるという効果を奏する。

【0028】また、ランプアニール法にて処理を行う為、ゲート形成直後の熱処理で酸素巻き込みの少ない処理が可能になり、ゲートバーズピーク等の再酸化のコントロールを容易にすることができるという効果を奏する。

【図1】

1: 半導体基板	9: 層間絶縁膜
2: 第一ゲート酸化膜	10: ドレイン側ゲート・バーズピーク酸化膜
3: 浮遊ゲート電極	11: ソース側ゲート・バーズピーク酸化膜
4: インターポリ絶縁膜	12: ドレイン側インターポリ・バーズピーク
5: 制御ゲート電極	13: ソース側インターポリ・バーズピーク
6: ドレイン不純物拡散層	14: 金属配線層
7: ソース不純物拡散層	15: ランプアニール窒化膜
8: 層間熱酸化膜	



#### 【図面の簡単な説明】

【図1】この発明の実施例1による半導体装置の断面構造を示す図である。

【図2】この発明の実施例2による半導体装置の断面構造を示す図である。

【図3】この発明の実施例3による半導体装置の断面構造を示す図である。

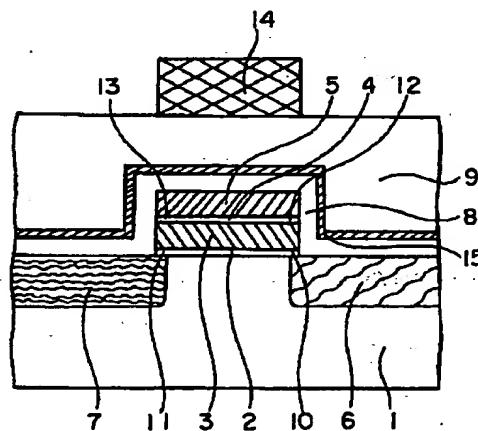
【図4】従来の半導体装置の断面構造を示す図である。

#### 【符号の説明】

10 1	半導体基板
2	第一ゲート酸化膜
3	浮遊ゲート電極
4	インターポリ絶縁膜
5	制御ゲート電極
6	ドレイン不純物拡散層
7	ソース不純物拡散層
8	層間熱酸化膜
9	層間絶縁膜
10	ドレイン側ゲートバーズピーク酸化膜
20 11	ソース側ゲートバーズピーク酸化膜
12	ドレイン側インターポリバーズピーク
13	ソース側インターポリバーズピーク
14	金属配線層
15	ランプアニール窒化膜
16	ランプアニール酸化膜

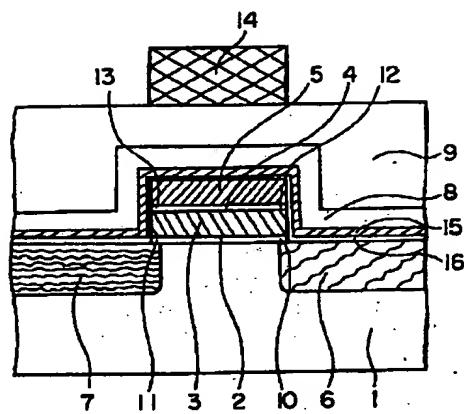
【図2】

#### 15: ランプアニール窒化膜



【図3】

15: ランプアニール氧化膜  
16: ランプアニール酸化膜



【図4】

1: 半導体基板  
2: 第一ゲート酸化膜  
3: 逆造ゲート電極  
4: インターポリ酸化膜  
5: 第二ゲート電極  
6: ドレイン不純物拡散層  
7: ソース不純物拡散層  
8: 層間絶縁化膜  
9: 層間絕縁膜  
10: ドレイン側ゲート・バーズピーク酸化膜  
11: ソース側ゲート・バーズピーク酸化膜  
12: ドレイン側インターポリ・バーズピーク  
13: ソース側インターポリ・バーズピーク  
14: 金属配線層

